

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-065249

(43)Date of publication of application : 10.03.2005

(51)Int.Cl.

H03K 19/0175

G11C 11/401

G11C 11/409

(21)Application number : 2004-218834

(71)Applicant : SAMSUNG ELECTRONICS CO
LTD

(22)Date of filing : 27.07.2004

(72)Inventor : BOKU JUNSHOKU

(30)Priority

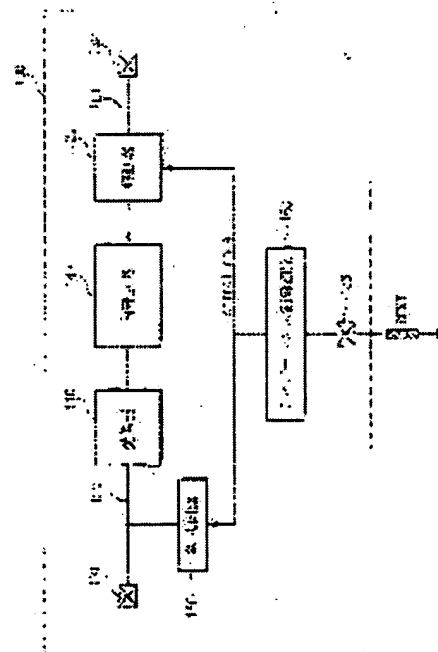
Priority number : 2003 200357245 Priority date : 19.08.2003 Priority country : KR

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a device which utilizes a single reference resistor to control the impedance of a termination circuit and an off-chip driver circuit.

SOLUTION: This semiconductor integrated circuit device is connected to an external reference resistor and includes an impedance control circuit for generating impedance control codes variable with impedances of the external reference resistor. An input circuit receives an external signal through an input signal transfer line and forwards the inputted signal to an internal circuit. A termination circuit terminates the input signal transfer line in response to at least one of the impedance control codes. An output circuit drives an output signal transfer line in accordance with a signal outputted from the internal circuit. Impedance is variable with the impedance control codes.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-65249

(P2005-65249A)

(43) 公開日 平成17年3月10日(2005.3.10)

(51) Int. Cl.⁷

F1

テーマコード(参考)

H03K 19/0175

H03K 19/00

101Q

5J056

G11C 11/401

G11C 11/34

354P

5M024

G11C 11/409

G11C 11/34

354Q

H03K 19/00

101F

G11C 11/34

362Z

審査請求 未請求 請求項の数 36 O L (全 24 頁)

(21) 出願番号 特願2004-218834(P2004-218834)

(22) 出願日 平成16年7月27日(2004.7.27)

(31) 優先権主張番号 2003-057245

(32) 優先日 平成15年8月19日(2003.8.19)

(33) 優先権主張国 韓国(KR)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市靈通区梅灘洞416

(74) 代理人 100076428

弁理士 大塚 康徳

(74) 代理人 100112508

弁理士 高柳 司郎

(74) 代理人 100115071

弁理士 大塚 康弘

(74) 代理人 100116894

弁理士 木村 秀二

(72) 発明者 朴潤植

大韓民国京畿道龍仁市器興邑新葛里158

番地ヤンヒュンタウンブーンリムアパート

304-702

最終頁に続く

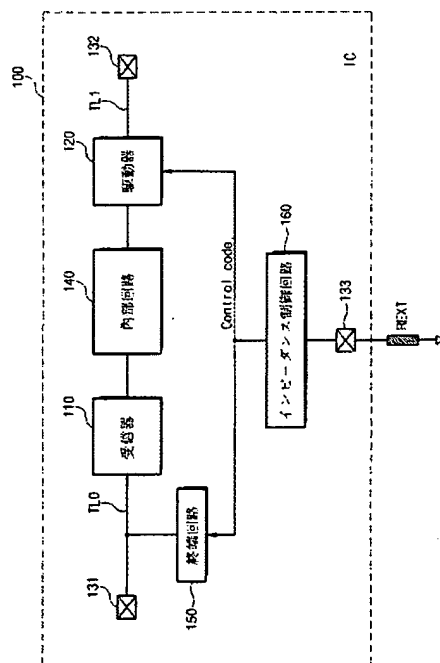
(54) 【発明の名称】 半導体集積回路装置及び半導体メモリ装置

(57) 【要約】

【課題】単一の基準抵抗器を利用して終端回路およびオフチップ駆動回路のインピーダンスを制御する装置を提供する。

【解決手段】本発明による半導体集積回路装置は、外部基準抵抗器に連結され、外部基準抵抗器のインピーダンスに従って変更されるインピーダンス制御コードを発生するインピーダンス制御回路を含む。入力回路は入力信号伝送ラインを通じて外部信号が入力され、入力された信号を内部回路に出力する。終端回路はインピーダンス制御コードのうちの少なくとも一つにตอบสนองして入力信号伝送ラインを終端する。出力回路は内部回路から出力される信号に従って出力信号伝送ラインを駆動し、インピーダンスがインピーダンス制御コードに従って変更される。

【選択図】図1



【特許請求の範囲】**【請求項1】**

外部基準抵抗器に連結され、前記外部基準抵抗器のインピーダンスに従って変更されるインピーダンス制御コードを発生するインピーダンス制御回路と、

入力信号伝送ラインを通じて外部信号が入力され、前記入力された信号を内部回路に出力する入力回路と、

前記インピーダンス制御コードのうちの少なくとも一つにตอบสนองして前記入力信号伝送ラインを終端する終端回路と、

前記内部回路から出力される信号に従って出力信号伝送ラインを駆動し、インピーダンスが前記インピーダンス制御コードに従って変更される出力回路とを含むことを特徴とする半導体集積回路装置。

【請求項2】

前記終端回路は、前記入力信号伝送ラインに並列連結された複数の終端回路を含み、前記終端回路の各々は、前記インピーダンス制御コードのうちのいずれか一つによって制御されることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】

前記終端回路は、前記入力信号伝送ラインに並列連結された複数の終端回路を含み、前記終端回路の各々は、前記インピーダンス制御コードによって制御されることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項4】

前記駆動回路は、前記出力信号伝送ラインに並列連結された複数の駆動器を含み、前記駆動器の各々のインピーダンスは、前記インピーダンス制御コードに従って調整されることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項5】

前記インピーダンス制御回路は、
前記外部可変抵抗器と連結されるパッドと、
前記パッドに連結され、前記外部可変抵抗器と同一なインピーダンスを有するように、前記インピーダンス制御コードのうちの第1インピーダンス制御コードによって制御される第1可変インピーダンス回路と、

前記パッドの電圧を基準電圧と比較する第1比較器と、

前記第1比較器の出力にตอบสนองして前記第1インピーダンス制御コードを発生する第1アップ/ダウンカウンタと、

内部ノードに連結され、前記外部可変抵抗器と同一なインピーダンスを有するように、前記第1インピーダンス制御コードによって制御される第2可変インピーダンス回路と、

前記内部ノードに連結され、前記外部可変抵抗器と同一なインピーダンスを有するように、前記インピーダンス制御コードのうちの第2インピーダンス制御コードによって制御される第3可変インピーダンス回路と、

前記内部ノードの電圧と前記パッドの電圧とを比較する第2比較器と、

前記第2比較器の出力にตอบสนองして前記第2インピーダンス制御コードを発生する第2アップ/ダウンカウンタとを含むことを特徴とする請求項1に記載の半導体集積回路装置。

【請求項6】

前記第1乃至第3可変インピーダンス回路の各々は、二進加重値抵抗器および二進加重値トランジスタを含むことを特徴とする請求項5に記載の半導体集積回路装置。

【請求項7】

前記終端回路は、二進加重値トランジスタおよび二進加重値抵抗器を含み、前記終端回路の二進加重値トランジスタおよび二進加重値抵抗器は、前記第1乃至第3可変インピーダンス回路の各々の二進加重値トランジスタおよび二進加重値抵抗器を線形的に縮小したサイズおよび抵抗値を有することを特徴とする請求項6に記載の半導体集積回路装置。

【請求項8】

前記インピーダンス制御回路は、選択信号に応答して、前記外部基準抵抗器のインピーダンスに関係なしに、一定に維持される前記インピーダンス制御コードを発生することを特徴とする請求項1に記載の半導体集積回路装置。

【請求項9】

前記出力回路は、二進加重値トランジスタおよび二進加重値抵抗器を含み、前記出力回路の二進加重値トランジスタおよび二進加重値抵抗器は、前記第1乃至第3可変インピーダンス回路の各々の二進加重値トランジスタおよび二進加重値抵抗器を線形的に縮小したサイズおよび抵抗値を有することを特徴とする請求項6に記載の半導体集積回路装置。

【請求項10】

複数の行と複数の列に配列された複数のメモリセルのアレイと、

メモリセルからデータを読み出しメモリセルにデータを書き込む感知増幅回路と、

固定インピーダンス制御コードを発生する第1コード発生回路と、

外部基準抵抗器に連結され、前記外部基準抵抗器のインピーダンスに従って変更される可変インピーダンス制御コードを発生する第2コード発生回路と、

コード選択信号に응答して前記固定インピーダンス制御コード、または前記可変インピーダンス制御コードを選択する選択回路と、

前記感知増幅回路から出力されるデータおよび前記選択回路によって選択された固定または可変インピーダンス制御コードに응答してプルアップおよびプルダウン制御信号を発生する駆動制御回路と、

読み出し動作の間において前記プルアップおよびプルダウン制御信号に응答してデータ伝送ラインを駆動し、インピーダンスを前記プルアップおよびプルダウン制御信号に従って変更するオフチップ駆動回路と、

書き込み動作の間において前記選択回路によって選択された固定または可変インピーダンス制御コードのうちの少なくとも一つに응答して前記データ伝送ラインを終端する第1終端回路とを含むことを特徴とする半導体メモリ装置。

【請求項11】

前記書き込み動作の間において前記データ伝送ライン上のデータを前記感知増幅回路に伝達するデータ入力回路をさらに含むことを特徴とする請求項10に記載の半導体メモリ装置。

【請求項12】

前記第1終端回路は、前記データ伝送ラインの各々に並列連結された複数の終端回路を含み、前記終端回路の各々は、前記選択回路によって選択された固定または可変インピーダンス制御コードのうちのいずれか一つによって制御されることを特徴とする請求項10に記載の半導体メモリ装置。

【請求項13】

前記第1終端回路は、前記データ伝送ラインの各々に並列連結された複数の終端回路を含み、前記終端回路の各々は、前記選択回路によって選択された固定または可変インピーダンス制御コードによって制御されることを特徴とする請求項10に記載の半導体メモリ装置。

【請求項14】

前記オフチップ駆動回路は、前記データ伝送ラインの各々に並列連結された複数の駆動器を含み、前記駆動器の各々のインピーダンスは、前記プルアップおよびプルダウン制御信号によって調整されることを特徴とする請求項10に記載の半導体メモリ装置。

【請求項15】

入力伝送ラインを通じて入力されるアドレスおよび制御信号が入力される入力バッファ回路と、

前記入力バッファ回路から出力される行アドレスに응答して前記行を選択する行デコーダ回路と、

前記入力バッファ回路から出力される列アドレスに응答して前記列を選択する列デコーダ回路と、

前記選択回路によって選択された固定または可変インピーダンス制御コードのうちの少なくとも一つにตอบสนองして前記入力伝送ラインを終端する第2終端回路とをさらに含むことを特徴とする請求項10に記載の半導体メモリ装置。

【請求項16】

前記第2終端回路は、前記入力伝送ラインの各々に並列連結された複数の終端回路を含み、前記終端回路の各々は、前記選択回路によって選択された固定または可変インピーダンス制御コードのうちのいずれか一つによって制御されることを特徴とする請求項15に記載の半導体メモリ装置。

【請求項17】

前記第2終端回路は、前記入力伝送ラインの各々に並列連結された複数の終端回路を含み、前記終端回路の各々は、前記選択回路によって選択された固定または可変インピーダンス制御コードによって制御されることを特徴とする請求項15に記載の半導体メモリ装置。

【請求項18】

前記第2コード発生回路は、
前記外部可変抵抗器と連結されるパッドと、
前記パッドに連結され、前記外部可変抵抗器と同一なインピーダンスを有するように、前記可変インピーダンス制御コードのうちの第1可変インピーダンス制御コードによって制御される第1可変インピーダンス回路と、
前記パッドの電圧を基準電圧と比較する第1比較器と、
前記第1比較器の出力にตอบสนองして前記第1可変インピーダンス制御コードを発生する第1アップ/ダウンカウンタと、
内部ノードに連結され、前記外部可変抵抗器と同一なインピーダンスを有するように、前記第1可変インピーダンス制御コードによって制御される第2可変インピーダンス回路と、
前記内部ノードに連結され、前記外部可変抵抗器と同一なインピーダンスを有するように、前記可変インピーダンス制御コードのうちの第2可変インピーダンス制御コードによって制御される第3可変インピーダンス回路と、
前記内部ノードの電圧と前記パッドの電圧とを比較する第2比較器と、
前記第2比較器の出力にตอบสนองして前記第2可変インピーダンス制御コードを発生する第2アップ/ダウンカウンタとを含むことを特徴とする請求項15に記載の半導体メモリ装置。

【請求項19】

前記第1乃至第3可変インピーダンス回路の各々は、二進加重値トランジスタおよび二進加重値抵抗器を含んで構成されることを特徴とする請求項18に記載の半導体メモリ装置。

【請求項20】

前記第1終端回路は二進加重値トランジスタおよび二進加重値抵抗器を含んで構成され、前記第1終端回路の二進加重値トランジスタおよび二進加重値抵抗器は、前記第1乃至第3可変インピーダンス回路の各々の二進加重値トランジスタおよび二進加重値抵抗器を線形的に縮小したサイズおよび抵抗値を有することを特徴とする請求項19に記載の半導体メモリ装置。

【請求項21】

前記第2終端回路は、二進加重値トランジスタおよび二進加重値抵抗器を含んで構成され、前記第2終端回路の二進加重値トランジスタおよび二進加重値抵抗器は、前記第1乃至第3可変インピーダンス回路の各々の二進加重値トランジスタおよび二進加重値抵抗器を線形的に縮小したサイズおよび抵抗値を有することを特徴とする請求項19に記載の半導体メモリ装置。

【請求項22】

制御信号にตอบสนองして前記コード選択信号およびオフセット選択信号を発生する選択信号

発生回路をさらに含むことを特徴とする請求項15に記載の半導体メモリ装置。

【請求項23】

前記オフチップ駆動回路のインピーダンスと前記第1および第2終端回路のインピーダンスは、前記オフセット選択信号によって変更されることを特徴とする請求項22に記載の半導体メモリ装置。

【請求項24】

前記選択信号発生回路は、モードレジスタセット(MRS)を含むことを特徴とする請求項22に記載の半導体メモリ装置。

【請求項25】

入力信号伝送ラインを通じて外部信号が入力され、前記入力された信号を内部回路に出力する入力回路と、

二進加重値トランジスタおよび二進加重値抵抗器を含み、外部基準抵抗器のインピーダンスに従って変更されるインピーダンス制御コードを発生するインピーダンス制御回路と、

二進加重値トランジスタおよび二進加重値抵抗器を含み、前記インピーダンス制御コードのうちの少なくとも一つにตอบสนองして前記入力信号伝送ラインを終端する終端回路と、

二進加重値トランジスタおよび二進加重値抵抗器を含み、前記内部回路から出力される信号に従って出力信号伝送ラインを駆動し、インピーダンスが前記インピーダンス制御コードに従って変更される出力回路とを含み、

前記終端回路および前記出力回路の二進加重値トランジスタおよび二進加重値抵抗器は、前記インピーダンス制御回路の二進加重値トランジスタおよび二進加重値抵抗器を線形的に縮小したサイズおよび抵抗値を有することを特徴とする半導体集積回路装置。

【請求項26】

複数の行と複数の列に配列された複数のメモリセルのアレイと、

メモリセルからデータを読み出しメモリセルにデータを書き込む感知増幅回路と、

固定インピーダンス制御コードを発生する第1コード発生回路と、

二進加重値トランジスタおよび二進加重値抵抗器を含み、外部基準抵抗器のインピーダンスに従って変更される可変インピーダンス制御コードを発生する第2コード発生回路と、

コード選択信号にตอบสนองして前記固定インピーダンス制御コードまたは前記可変インピーダンス制御コードを選択する選択回路と、

前記感知増幅回路から出力されるデータおよび前記選択回路によって選択された固定または可変インピーダンス制御コードにตอบสนองしてプルアップおよびプルダウン制御信号を発生する駆動制御回路と、

二進加重値トランジスタおよび二進加重値抵抗器を含み、読み出し動作の間において前記プルアップおよびプルダウン制御信号にตอบสนองしてデータ伝送ラインを駆動し、インピーダンスが前記プルアップおよびプルダウン制御信号によって変更されるオフチップ駆動回路と、

二進加重値トランジスタおよび二進加重値抵抗器を含み、書き込み動作の間において前記選択回路によって選択された固定または可変インピーダンス制御コードのうちの少なくとも一つにตอบสนองして前記データ伝送ラインを終端する第1終端回路とを含み、

前記第1終端回路および前記出力回路の二進加重値トランジスタおよび二進加重値抵抗器は、前記第2コード発生回路の二進加重値トランジスタおよび二進加重値抵抗器を線形的に縮小したサイズおよび抵抗値を有することを特徴とする半導体メモリ装置。

【請求項27】

入力伝送ラインを通じて入力されるアドレスおよび制御信号が入力される入力バッファ回路と、

前記入力バッファ回路から出力される行アドレスにตอบสนองして前記行を選択する行デコード回路と、

前記入力バッファ回路から出力される列アドレスにตอบสนองして前記列を選択する列デコー

ダ回路と、

二進加重値トランジスタおよび二進加重値抵抗器を含み、前記選択回路によって選択された固定または可変インピーダンス制御コードのうちの少なくとも一つに応答して前記入力伝送ラインを終端する第2終端回路とをさらに含むことを特徴とする請求項26に記載の半導体メモリ装置。

【請求項28】

前記第2終端回路の二進加重値トランジスタおよび二進加重値抵抗器は、前記第2コード発生回路の二進加重値トランジスタおよび二進加重値抵抗器を線形的に縮小したサイズおよび抵抗値を有することを特徴とする請求項27に記載の半導体メモリ装置。

【請求項29】

複数の行と複数の列に配列された複数のメモリセルのアレイと、
メモリセルからデータを読み出しメモリセルにデータを書き込む感知増幅回路と、
外部基準抵抗器に連結され、前記外部基準抵抗器のインピーダンスに従って変更されるインピーダンス制御コードを発生するコード発生回路と、
前記感知増幅回路から出力されるデータおよびインピーダンス制御コードに応答してプルアップおよびプルダウン制御信号を発生する駆動制御回路と、
読み出し動作の間前記プルアップおよびプルダウン制御信号に応答してデータ伝送ラインを駆動し、インピーダンスが前記プルアップおよびプルダウン制御信号によって変更されるオフチップ駆動回路と、

書き込み動作の間において前記インピーダンス制御コードのうちの少なくとも一つに応答して前記データ伝送ラインを終端する第1終端回路とを含むことを特徴とする半導体メモリ装置。

【請求項30】

前記書き込み動作の間において前記データ伝送ライン上のデータを前記感知増幅回路に伝達するデータ入力回路をさらに含むことを特徴とする請求項29に記載の半導体メモリ装置。

【請求項31】

前記第1終端回路は、前記データ伝送ラインの各々に並列連結された複数個の終端回路を含み、前記終端回路の各々は、前記インピーダンス制御コードのうちのいずれか一つによって制御されることを特徴とする請求項29に記載の半導体メモリ装置。

【請求項32】

前記第1終端回路は、前記データ伝送ラインの各々に並列連結された複数個の終端回路を含み、前記終端回路の各々は、前記インピーダンス制御コードによって制御されることを特徴とする請求項29に記載の半導体メモリ装置。

【請求項33】

前記オフチップ駆動回路は、前記データ伝送ラインの各々に並列連結された複数個の駆動器を含み、前記駆動器の各々のインピーダンスは、前記プルアップおよびプルダウン制御信号によって調整されることを特徴とする請求項29に記載の半導体メモリ装置。

【請求項34】

入力伝送ラインを通じて入力されるアドレスおよび制御信号が入力される入力バッファ回路と、

前記入力バッファ回路から出力される行アドレスに応答して前記行を選択する行デコード回路と、

前記入力バッファ回路から出力される列アドレスに応答して前記列を選択する列デコード回路と、

前記インピーダンス制御コードのうちの少なくとも一つに応答して前記入力伝送ラインを終端する第2終端回路とをさらに含むことを特徴とする請求項29に記載の半導体メモリ装置。

【請求項35】

前記第2終端回路は、前記入力伝送ラインの各々に並列連結された複数個の終端回路を

含み、前記終端回路の各々は、前記インピーダンス制御コードのうちのいずれか一つによって制御されることを特徴とする請求項34に記載の半導体メモリ装置。

【請求項36】

前記第2終端回路は、前記入力伝送ラインの各々に並列連結された複数の終端回路を含み、前記終端回路の各々は、前記インピーダンス制御コードによって制御されることを【発明の詳細な説明】に記載の半導体メモリ装置。

【技術分野】

【0001】

本発明は、半導体集積回路装置及び半導体メモリ装置に関するものであり、さらに具体的には、プログラム可能なバス終端回路(programmable bus termination circuit)およびプログラム可能なインピーダンス出力駆動回路(programmable impedance output driver circuit)を含む半導体集積回路装置及び半導体メモリ装置に関するものである。

【背景技術】

【0002】

ダブルデータレート(double data rate:DDR)メモリを含む高速集積回路装置の設計において、旧来の集積回路装置と比較して、データ/アドレス/制御信号の入力および出力に関連したAC特性が非常に重要になっている。AC特性は、集積回路装置、または集積回路装置を制御するためのコントローラ自体の問題に起因するというよりは、二つまたはそれ以上の装置を連結するチャンネルの特性に起因する。したがって、チャンネル特性(channel characteristic)を考慮して高速集積回路装置を設計することが最も重要である。

【0003】

チャンネル特性を向上させるための多様な努力がなされており、その一環として、プログラム可能なインピーダンスオン-ダイ終端回路およびオフチップ駆動回路が提案されている。例示的なオン-ダイ終端回路およびオフチップ駆動回路が特許文献1、特許文献2、特許文献3、および特許文献4に記載されている。

【0004】

よく知られたように、オン-ダイ終端回路およびオフチップ駆動回路のインピーダンスは互いに異なる値を有するように調整される。例えば、オン-ダイ終端回路のインピーダンスは60Ωのインピーダンスを有するように対応する制御回路によって調整され、オフチップ駆動回路のインピーダンスは40Ωのインピーダンスを有するように対応する制御回路によって調整される。すなわち、上記の特許文献から分かるように、オン-ダイ終端回路およびオフチップ駆動回路のインピーダンスを制御するためには、対応するインピーダンス制御回路および外部基準抵抗器が個別的に使用されている。

【0005】

しかし、このようなインピーダンス制御方式を通じてチャンネル特性を向上させようとする場合、チップサイズだけではなく、ピン数が必然的に増加し、これが半導体集積回路装置を設計する際の負担になる。

【特許文献1】米国特許第5,666,078号

【特許文献2】米国特許第5,955,894号

【特許文献3】米国特許第6,157,206号

【特許文献4】韓国公開特許第10-0332455号

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の目的は、一つの外部基準抵抗器を利用して終端回路およびオフチップ駆動回路を制御することができるインピーダンス制御構造とそれを含んだ半導体集積回路装置或いは半導体メモリ装置を提供することである。

【課題を解決するための手段】

【0007】

上述の目的を達成するための本発明の半導体集積回路装置は、インピーダンス制御回路、入力回路、出力回路および終端回路を含む。インピーダンス制御回路は、外部基準抵抗器に連結され、前記外部基準抵抗器のインピーダンスに従って変更されるインピーダンス制御コードを発生する。入力回路は、入力信号伝送ラインを通じて外部信号が入力され、前記入力された信号を内部回路に出力する。終端回路は、前記インピーダンス制御コードのうちの少なくとも一つにตอบสนองして前記入力信号伝送ラインを終端する。出力回路は、前記内部回路から出力される信号に従って出力信号伝送ラインを駆動し、インピーダンスが前記インピーダンス制御コードに従って変更される。

【0008】

本発明の望ましい実施の形態において、前記終端回路は、前記入力信号伝送ラインに並列連結された複数の終端回路を含み、前記終端回路の各々は、前記インピーダンス制御コードのうちのいずれか一つによって制御される。また、前記終端回路は、前記入力信号伝送ラインに並列連結された複数の終端回路を含み、前記終端回路の各々は、前記インピーダンス制御コードによって制御される。前記駆動回路は、前記出力信号伝送ラインに並列連結された複数の駆動器を含み、前記駆動器の各々のインピーダンスは、前記インピーダンス制御コードに従って調整される。

【0009】

本発明の望ましい実施の形態において、前記インピーダンス制御回路は、前記外部可変抵抗器と連結されるパッドと、前記パッドに連結され、前記外部可変抵抗器と同一なインピーダンスを有するように、前記インピーダンス制御コードのうちの第1インピーダンス制御コードによって制御される第1可変インピーダンス回路と、前記パッドの電圧を基準電圧と比較する第1比較器と、前記第1比較器の出力にตอบสนองして前記第1インピーダンス制御コードを発生する第1アップ/ダウンカウンタと、内部ノードに連結され、前記外部可変抵抗器と同一なインピーダンスを有するように、前記第1インピーダンス制御コードによって制御される第2可変インピーダンス回路と、前記内部ノードに連結され、前記外部可変抵抗器と同一なインピーダンスを有するように、前記インピーダンス制御コードのうちの第2インピーダンス制御コードによって制御される第3可変インピーダンス回路と、前記内部ノードの電圧と前記パッドの電圧とを比較する第2比較器と、前記第2比較器の出力にตอบสนองして前記第2インピーダンス制御コードを発生する第2アップ/ダウンカウンタとを含む。

【0010】

本発明の他の特徴によると、半導体メモリ装置は、行と列に配列されたメモリセルアレイと、メモリセルアレイからデータを読み出しメモリセルにデータを書き込む感知増幅回路と、固定インピーダンス制御コードを発生する第1コード発生回路と、外部基準抵抗器に連結され、前記外部基準抵抗器のインピーダンスに従って変更される可変インピーダンス制御コードを発生する第2コード発生回路と、コード選択信号にตอบสนองして前記固定インピーダンス制御コード、または可変インピーダンス制御コードを選択する選択回路と、前記感知増幅回路から出力されるデータおよび前記選択回路によって選択された固定または可変インピーダンス制御コードにตอบสนองしてプルアップおよびプルダウン制御信号を発生する駆動制御回路と、読み出し動作の間前記プルアップおよびプルダウン制御信号にตอบสนองしてデータ伝送ラインを駆動し、インピーダンスが前記プルアップおよびプルダウン制御信号によって変更されるオフチップ駆動回路と、書き込み動作の間において前記選択回路によって選択された固定または可変インピーダンス制御コードのうちの少なくとも一つにตอบสนองして前記データ伝送ラインを終結させる第1終端回路とを含む。

【0011】

本発明の望ましい実施の形態において、半導体メモリ装置は、入力伝送ラインを通じて入力されるアドレスおよび制御信号が入力される入力バッファ回路と、前記入力バッファ回路から出力される行アドレスにตอบสนองして前記行を選択する行デコード回路と、前記入力バッファ回路から出力される列アドレスにตอบสนองして前記列を選択する列デコード回路と

、前記選択回路によって選択された固定または可変インピーダンス制御コードのうちの少なくとも一つに応答して前記入力伝送ラインを終結させる第2終端回路とをさらに含む。

【0012】

本発明の望ましい実施の形態において、前記第2コード発生回路は、前記外部可変抵抗器と連結されるパッドと、前記パッドに連結され、前記外部可変抵抗器と同一なインピーダンスを有するように前記可変インピーダンス制御コードのうちの第1可変インピーダンス制御コードによって制御される第1可変インピーダンス回路と、前記パッドの電圧を基準電圧と比較する第1比較器と、前記第1比較器の出力に응答して前記第1可変インピーダンス制御コードを発生する第1アップ/ダウンカウンタと、内部ノードに連結され、前記外部可変抵抗器と同一なインピーダンスを有するように、前記第1可変インピーダンス制御コードによって制御される第2可変インピーダンス回路と、前記内部ノードに連結され、前記外部可変抵抗器と同一なインピーダンスを有するように、前記可変インピーダンス制御コードのうちの第2可変インピーダンス制御コードによって制御される第3可変インピーダンス回路と、前記内部ノードの電圧と前記パッドの電圧とを比較する第2比較器と、前記第2比較器の出力に응答して前記第2可変インピーダンス制御コードを発生する第2アップ/ダウンカウンタとを含む。

【0013】

本発明のまた他の特徴によると、半導体集積回路装置は、入力信号伝送ラインを通じて外部信号が入力され、前記入力された信号を内部回路に出力する入力回路と、二進加重値トランジスタおよび二進加重値抵抗器を含み、外部基準抵抗器のインピーダンスに従って可変されるインピーダンス制御コードを発生するインピーダンス制御回路と、二進加重値トランジスタおよび二進加重値抵抗器を含み、前記インピーダンス制御コードのうちの少なくとも一つに응答して前記入力信号伝送ラインを終結させる終端回路と、二進加重値トランジスタおよび二進加重値抵抗器を含み、前記内部回路から出力される信号に従って出力信号伝送ラインを駆動し、インピーダンスが前記インピーダンス制御コードによって可変される出力回路を含み、前記終端回路および前記出力回路の二進加重値トランジスタおよび二進加重値抵抗器は前記インピーダンス制御回路の二進加重値トランジスタおよび二進加重値抵抗器を線形的に縮小したサイズおよび抵抗値を有する。

【0014】

本発明のまた他の特徴によると、半導体メモリ装置は、複数の行と複数の列に配列された複数のメモリセルのアレイと、メモリセルからデータを読み出しメモリセルにデータを書き込む感知増幅回路と、固定インピーダンス制御コードを発生する第1コード発生回路と二進加重値トランジスタおよび二進加重値抵抗器を含み、外部基準抵抗器のインピーダンスに従って変更される可変インピーダンス制御コードを発生する第2コード発生回路と、コード選択信号に응答して前記固定インピーダンス制御コード、または前記可変インピーダンス制御コードを選択する選択回路と、前記感知増幅回路から出力されるデータおよび前記選択回路によって選択された固定または可変インピーダンス制御コードに응答してプルアップおよびプルダウン制御信号を発生する駆動制御回路と、二進加重値トランジスタおよび二進加重値抵抗器を含み、読み出し動作の間、前記プルアップおよびプルダウン制御信号に응答してデータ伝送ラインを駆動し、インピーダンスが前記プルアップおよびプルダウン制御信号によって変更されるオフチップ駆動回路と、二進加重値トランジスタおよび二進加重値抵抗器を含み、書き込み動作の間、前記選択回路によって選択された固定または可変インピーダンス制御コードのうちの少なくとも一つに응答して前記データ伝送ラインを終結させる第1終端回路とを含み、前記第1終端回路および前記出力回路の二進加重値トランジスタおよび二進加重値抵抗器は前記第2コード発生回路の二進加重値トランジスタおよび二進加重値抵抗器を線形的に縮小したサイズおよび抵抗値を有する。

【0015】

本発明の望ましい実施の形態において、半導体メモリ装置は、入力伝送ラインを通じて入力されるアドレスおよび制御信号が入力される入力バッファ回路と、前記入力バッファ回路から出力される行アドレスに응答して前記行を選択する行デコード回路と、前記入力

バッファ回路から出力される列アドレスにตอบสนองして前記列を選択する列デコーダ回路と、二進加重値トランジスタおよび二進加重値抵抗器を含み、前記選択回路によって選択された固定または可変インピーダンス制御コードのうちの少なくとも一つにตอบสนองして前記入力伝送ラインを終結させる第2終端回路とをさらに含む。

【0016】

本発明のまた他の特徴によると、半導体メモリ装置は、複数の行と複数の列に配列された複数のメモリセルのアレイと、メモリセルからデータを読み出しメモリセルにデータを書き込む感知増幅回路と、外部基準抵抗器に連結され、前記外部基準抵抗器のインピーダンスに従って変更されるインピーダンス制御コードを発生するコード発生回路と、前記感知増幅回路から出力されるデータおよびインピーダンス制御コードにตอบสนองしてプルアップおよびプルダウン制御信号を発生する駆動制御回路と、読み出し動作の間前記プルアップおよびプルダウン制御信号にตอบสนองしてデータ伝送ラインを駆動し、インピーダンスが前記プルアップおよびプルダウン制御信号によって変更されるオフチップ駆動回路と、書き込み動作の間前記インピーダンス制御コードのうちの少なくとも一つにตอบสนองして前記データ伝送ラインを終結させる終端回路とを含む。

【発明の効果】

【0017】

本発明によれば、一つの外部基準抵抗器および一つのインピーダンスコード発生器を利用して終端回路のインピーダンスおよびオフチップ駆動回路のインピーダンスを同時に調整することが可能である。

【発明を実施するための最良の形態】

【0018】

以下、本発明の望ましい実施の形態が参照図面に基づいて詳細に説明される。

【0019】

図1は、本発明の望ましい実施の形態の半導体集積回路装置を示すブロック図である。図1を参照すると、本発明の望ましい実施の形態の半導体集積回路装置100は、他の集積回路装置と通信するために受信器(receiver)110と駆動器(driver)120とを含む。受信器110は、信号伝送ラインTL0を通じてパッド131に連結され、外部からパッド131に伝送される信号(例えば、制御信号、またはアドレス信号)が入力される。駆動器120は、信号伝送ラインTL1を通じてパッド132に連結され、内部回路140から出力される信号(例えば、データ)に従って信号伝送ラインTL1を駆動する。

【0020】

信号伝送ラインTL0には終端回路(termination circuit)150が連結され、図示しないが、パッド131は、外部の伝送ラインを通じて他の集積回路装置と連結される。終端回路150は、外部伝送ライン(図示しない)と受信器110との間のインピーダンス不一致(impedance mismatch)による信号反射を減らすように、信号伝送ラインTL0を終端する。インピーダンス制御回路160は、外部基準抵抗器REXTと連結されたパッド133に連結され、外部基準抵抗器REXTのインピーダンスに従って変更される制御コードを生成する。終端回路150および駆動器120は、インピーダンス制御回路160で生成された制御コードによって同時に制御される。したがって、インピーダンス制御回路160は、外部基準抵抗器REXTのインピーダンスに従って終端回路150のインピーダンスだけではなく、駆動器120のインピーダンスを同時に可変的に制御する。

【0021】

半導体集積回路装置100は、一つの外部基準抵抗器REXTを利用したインピーダンス制御回路160で生成された制御コードに従って、終端回路150のインピーダンスおよび駆動器120のインピーダンスが同時に制御されるように実現される。

【0022】

以下、本発明に係る可変インピーダンス制御構造を半導体集積回路装置の一例としての

半導体メモリ装置に適用した例を説明される。ここで、本発明に係る可変インピーダンス制御構造が半導体メモリ装置を利用して説明されるが、本発明の可変インピーダンス制御構造がここに記載された半導体メモリ装置に限定されないことは、この分野の通常の知識を持つ者において自明である。例えば、本発明に係る可変インピーダンス制御構造は、高い周波数領域で動作する電子装置に適用されることができる。

【0023】

図2は、本発明の望ましい実施の形態の半導体メモリ装置の構成を示すブロック図である。この半導体メモリ装置は、チャンネル特性に敏感な高周波メモリ、例えば、ダブルデータレート(double data rate:DDR)メモリである。しかし、本発明の半導体メモリ装置がDDRメモリに限定されないことは自明である。

【0024】

図2を参照すると、半導体メモリ装置200は、データ情報を保持するためメモリセルアレイ210を含む。図示しないが、メモリセルアレイ210は、複数の行(またはワードライン)と複数の列(またはビットライン)で構成されるマトリックス構造に配列された複数のメモリセルを含む。行デコード回路220は、アドレスおよび命令バッファ回路230から出力される行アドレスに従ってメモリセルアレイ210の行を選択する。列デコード回路240は、アドレスおよび命令バッファ回路230から出力される列アドレスに従ってメモリセルアレイ210の列を選択する。感知増幅回路250は、読み出し動作時にはメモリセルアレイ210からデータを読み出し、書き込み動作時にはメモリセルアレイ210にデータを書き込む。

【0025】

駆動制御回路260は、感知増幅回路250から出力されるデータが入力され、インピーダンス制御コードUPC、DNCにตอบสนองしてプルアップおよびプルダウン制御信号PDi、Puiを発生する。オフチップ駆動回路270は、駆動制御回路260から出力されるプルアップおよびプルダウン制御信号PDi、Puiにตอบสนองして出力信号伝送ラインTL_OUT1~TL_OUT3を駆動する。出力信号伝送ラインTL_OUT1~TL_OUT3は、対応するパッドPAD4~PAD6に各々連結される。オフチップ駆動回路270のインピーダンスは、プルアップおよびプルダウン制御信号Pui、PDiの選択的な活性化に従って変更されうる。これについては後述する。データ入力回路280は、入力信号伝送ラインTL_IN10~TL_IN30を通じて対応するパッドPAD4~PAD6に各々連結され、パッドPAD4~PAD6に印加されるデータを感知増幅回路250に伝送する。入力信号伝送ラインTL_IN10~TL_IN30には、終端回路290が連結されている。終端回路290は、インピーダンス制御コードUPC、またはインピーダンス制御コードUPC、DNCにตอบสนองして動作し、外部伝送ライン(図示しない)と受信器としてのデータ入力回路280との間のインピーダンス不一致による信号反射を減らすように入力信号伝送ラインTL_IN10~TN_IN30を終端する。

【0026】

この実施の形態において、駆動制御回路260およびオフチップ駆動回路270は、読み出し動作を示す制御回路RENが活性化された時に動作し、データ入力回路280および終端回路290は、書き込み動作を示す制御信号WENの活性化された時に動作する。

【0027】

アドレスおよび命令バッファ回路230は、入力信号伝送ラインTL_IN11~TL_IN31を通じてパッドPAD1~PAD3に各々連結されている。アドレスおよび命令バッファ回路230は、入力信号伝送ラインTL_IN11~TL_IN31を通じて外部から決められたタイミングに従ってアドレスおよび制御命令が入力される。入力アドレスのうちの行アドレスは行デコード回路220に伝達され、列アドレスは列デコード回路240に伝達される。入力信号伝送ラインTL_IN11~TN_IN31には終端回路300が連結されている。終端回路300は、インピーダンス制御コードUPC、またはインピーダンス制御コードUPC、DNCにตอบสนองして動作し、外部伝送ライン(図示しない)と受信器としてのアドレスおよび命令バッファ回路230との間のインピーダンス

不一致による信号反射を減らすように入力信号伝送ライン $TL_IN11 \sim TL_IN31$ を終端する。

【0028】

図2に示したように、パッドPAD7には外部基準抵抗器REXTおよび可変インピーダンスコード発生回路310が連結されている。可変インピーダンスコード発生回路310は、外部基準抵抗器REXTのインピーダンスに従って変更される可変インピーダンス制御コードUPCV、DNCVを発生する。固定インピーダンスコード発生器320は、外部基準抵抗器REXTのインピーダンスと関係なしに、固定されたインピーダンス制御コードUPCF、DNCFを発生する。これについては後述する。プログラムレジスタ330は、外部からの命令に従ってプログラムすることができるよう構成され、プログラム値に従ってコード選択信号SELおよびオフセット選択信号OFFSET1、OFFSET2を発生する。例えば、プログラムレジスタ330は、この分野でよく知られたモードレジスタセット(mode register set:MRS)で実現され得る。または、プログラムレジスタ330が他のロジック回路を利用して実現可能であることは、この分野の通常の知識を持つ者において自明である。選択回路340は、コード選択信号SELにตอบสนองして可変インピーダンスコード発生回路310の可変インピーダンス制御コードUPCV、DNCVまたは固定インピーダンスコード発生回路320の固定インピーダンス制御コードUPCF、DNCFをインピーダンス制御コードUPC、DNCとして選択する。選択された制御コードUPC、DNCは、駆動制御回路260および終端回路290、300に伝達される。

【0029】

以上の説明のように、終端回路290、300のインピーダンスは、選択された制御コードUPC、DNCによって変更されると同時に、オフチップ駆動回路270のインピーダンスも選択された制御コードUPC、DNCに従って制御される。結果的に、一つの外部基準抵抗器REXTおよび一つのインピーダンスコード発生器310を利用して終端回路290、300のインピーダンスおよびオフチップ駆動回路270のインピーダンスを同時に調整することが可能である。

【0030】

図3は、図2に示した可変インピーダンスコード発生回路310の望ましい実施の形態を示している。図3を参照すると、可変インピーダンスコード発生回路310は、第1および第3比較器311、312、第1および第2カウンタ313、314、および可変インピーダンス回路315、316、317を含む。

【0031】

第1比較器311は、パッドPAD7の電圧が所定の基準電圧VREF(例えば、 $V_{DDQ}/2$)より高いか否かを検出する。第1カウンタ313は、第1比較器311の出力にตอบสนองして可変インピーダンス制御コードUPCVを発生する。第1および第2可変インピーダンス回路315、16の各々のインピーダンスは、第1カウンタ313から出力される可変インピーダンス制御コードUPCVによって変更される。このような動作は、パッドPAD7の電圧が基準電圧VREFになるまで繰返して実行される。これと同時に、第2比較器312は、内部ノードND10の電圧がパッドPAD7の電圧より高いか否かを検出する。第2カウンタ314は、第2比較器312の出力にตอบสนองして可変インピーダンス制御コードDNCVを発生する。第3可変インピーダンス回路317のインピーダンスは、第2カウンタ314から出力されるインピーダンス制御コードDNCVによって変更される。このような動作は、内部ノードND10の電圧がパッドPAD7の電圧になるまで繰返して実行される。

【0032】

例えば、外部基準抵抗器REXTが 240Ω と仮定すれば、可変インピーダンス回路315、316、317の各々は、比較器311、312とカウンタ313、314を通じて 240Ω のインピーダンスを有するように制御される。

【0033】

この実施の形態において、第1および第2カウンタ313、314は、7ビットアップ／ダウンカウンタ(7-bit up/down counter)である。この場合、可変インピーダンス制御コードUPCV、DNCVの各々は、7ビットコードである。しかし、本発明において、制御コードUPCV、DNCVがこれに制限されないことは、この分野の通常の知識を持つ者において自明である。

【0034】

図4Aおよび図4Bは、図3に示した可変インピーダンス回路の実施の形態を示す回路図である。まず、可変インピーダンス回路315を示す図4Aを参照すると、可変インピーダンス回路315は、可変インピーダンス制御コード信号UPCV<6>～UPCV<0>に各々対応する対のPMOSTランジスタおよび抵抗器を含む。各対のPMOSTランジスタおよび抵抗器は、電源電圧とパッドPAD7との間に直列に連結されている。可変インピーダンス回路315のPMOSTランジスタ1WP～64WPは、二進加重値トランジスタ(binary-weighted transistor)であり、可変インピーダンス回路315の抵抗器1R～64Rは、二進加重値抵抗器(binary-weighted resistor)である。可変インピーダンス制御コード信号UPCV<6>～UPCV<0>の選択的な活性化に従って二進加重値トランジスタが選択的に活性化され、その結果、可変インピーダンス回路315は外部基準抵抗器REXTと同一なインピーダンスを有する。図示しないが、可変インピーダンス回路316も図4Aに示した構成と実質的に同一に構成されるので、それに対する説明は省略する。

【0035】

可変インピーダンス回路317を示す図4Bを参照すると、可変インピーダンス回路317は、可変インピーダンス制御コード信号DNCV<6>～DNCV<0>に各々対応する対のNMOSTランジスタおよび抵抗器を含む。各対のNMOSTランジスタおよび抵抗器は、内部ノードND10と接地電圧との間に直列に連結されている。可変インピーダンス回路317のNMOSTランジスタ1WN～64WNは、二進加重値トランジスタであり、可変インピーダンス回路317の抵抗器1R～64Rは、二進加重値抵抗器である。可変インピーダンス制御コード信号DNCV<6>～DNCV<0>の選択的な活性化に従って二進加重値トランジスタが選択的に活性化され、その結果、可変インピーダンス回路317は外部基準抵抗器REXTと同一なインピーダンスを有する。

【0036】

図5は、図2に示した固定インピーダンスコード発生回路320の1つの実施の形態を示す回路図である。

【0037】

図5を参照すると、固定インピーダンスコード発生回路320は、決められた値に従って固定インピーダンス制御コード信号UPCF<0>～UPCF<6>が電源電圧VCCと接地電圧VSSに選択的に連結されるように構成される。図示しないが、固定インピーダンスコード発生回路320は、固定インピーダンス制御コードUPCFが外部データによってプログラムされるように構成されてもよい。固定インピーダンスコード発生回路320は、図4に示した方式と同様の方式で、または上記のプログラム方式で固定インピーダンス制御コードDNCFを発生する。または、インピーダンス制御コードUPCFは、同一のコード値を有するようにインピーダンス制御コードDNCFとして使用されてもよい。

【0038】

図6は、図2に示した選択回路340の1つの実施の形態を示すブロック図である。

【0039】

図6を参照すると、選択回路340は、複数個、例えば14個の2:1マルチプレクサMUX1～MUX14で構成される。マルチプレクサMUX1は、インバータINV10と伝達ゲートTG10、TG11で構成され、図面に示したように連結されている。残りのマルチプレクサMUX2～MUX14も、マルチプレクサMUX1と同様に構成される。マルチプレクサMUX1は、可変インピーダンスコード発生回路310から出力される

対応する可変インピーダンス制御コード信号UPCV<6>と固定インピーダンスコード発生回路320から出力される対応する固定インピーダンス制御コード信号UPCF<6>が入力され、コード選択信号SELにตอบสนองして入力信号のうちの一つを選択する。残りのマルチプレクサMUX2～MUX7も、マルチプレクサMUX1と同様の方式で動作する。マルチプレクサMUX8は、可変インピーダンスコード発生回路310から出力される対応する可変インピーダンス制御コード信号DNCV<6>と固定インピーダンスコード発生回路320から出力される対応する固定インピーダンス制御コード信号DNCF<6>が入力され、コード選択信号SELにตอบสนองして入力信号のうちの一つを選択する。残りのマルチプレクサMUX9～MUX14も、マルチプレクサMUX8と同様の方式で動作する。

【0040】

コード選択信号SELがローレベルである時、選択回路340は、可変インピーダンスコード発生回路310から出力される可変インピーダンス制御コードUPCV、DNCVを選択する。コード選択信号SELがハイレベルである時、選択回路340はm固定インピーダンスコード発生回路320から出力される固定インピーダンス制御コードUPCF、DNCFを選択する。

【0041】

図7は、図2に示した駆動制御回路260の1つの実施の形態を示す回路図である。

【0042】

図7を参照すると、駆動制御回路260は、図2の選択回路340から出力されるインピーダンス制御コードUPC、DNCおよび図2の感知増幅回路250から出力されるデータDATA_OUTが入力され、プルアップおよびプルダウン制御信号PU<6>～PU<0>、PD<6>～PD<0>を発生する。駆動制御回路260は、例えば、7個のNANDゲートG10～G16、7個のNORゲートG17～G23、7個のインバータINV11～INV17を含み、図面に示したように連結されている。

【0043】

データDATA_OUTが‘1’である時、NANDゲートG10～G16の出力信号PU<6>～PU<0>のロジック状態は可変インピーダンス制御コード信号UPC<6>～UP<0>の値に従って決められる。例えば、可変インピーダンス制御コードUPCが“1010101”である時、プルアップ制御信号PU<6>、PU<4>、PU<2>、PU<0>は各々ローレベルになり、プルアップ制御信号PU<5>、PU<3>、PU<1>は各々ハイレベルになる。データDATA_OUTが‘1’である時、NORゲートG17～G23の出力信号PD<6>～PD<0>は可変インピーダンス制御コードDNCに関係なしに全部ローレベルになる。

【0044】

データDATA_OUTが‘0’である時、NORゲートG17～G23の出力信号PD<6>～PD<0>のロジック状態は、可変インピーダンス制御コード信号DNC<6>～DNC<0>の値に従って決められる。例えば、可変インピーダンス制御コードDNCが“1010101”である時、プルダウン制御信号PD<6>、PD<4>、PD<2>、PD<0>は各々ハイレベルになり、プルダウン制御信号PU<5>、PU<3>、PU<1>は各々ローレベルになる。データDATA_OUTが‘0’である時、NANDゲートG10～G16の出力信号PU<6>～PU<0>は可変インピーダンス制御コードUPCに関係なしに全部ハイレベルになる。

【0045】

以上の説明のように、プルアップ制御信号PU<6>～PU<0>は、データDATA_OUTが‘1’である時、可変インピーダンス制御コードUPCに従って選択的に活性化され、プルダウン制御信号PD<6>～PD<0>はデータDATA_OUTが‘0’である時、可変インピーダンス制御コードDNCに従って選択的に活性化される。プルアップ制御信号PU<6>～PU<0>は、プルダウン制御信号PD<6>～PD<0>と排他的に活性化される。

【0046】

図8は、図2に示したオフチップ駆動回路270および終端回路290の1つの実施の形態を示すブロック図である。なお、図8には一つのパッドPAD4に関連した構成要素のみが図示されているが、残りのパッドPAD5～PAD6の各々と関連した構成要素は図8に示した構成と実質的に同一に構成される。

【0047】

図8を参照すると、オフチップ駆動回路270は、パッドPAD4に並列連結された複数個、例えば、6個のオフチップ駆動ブロックOCD1～OCD6を含む。オフチップ駆動ブロックOCD1～OCD6の各々は、駆動制御回路260で出力されるプルアップおよびプルダウン制御信号PU_i、PD_i（ $i=0-6$ ）にตอบสนองしてパッドPDA4（または出力信号伝送ラインTL_OUT1）を駆動する。オフチップ駆動ブロックOCD1～OCD6の各々は、図9に示したように連結された二進加重値トランジスタおよび二進加重値抵抗器で構成される。可変インピーダンスコード発生回路310について説明したように、基準電圧VREFとパッドPAD7の電圧が一致する時、可変インピーダンス回路315は外部基準抵抗器REXTと同一なインピーダンスを有する。プルアップ制御信号PU<6>～PU<0>またはプルダウン制御信号P<6>～PD<0>が可変インピーダンス制御コードに従って選択的に活性化されるので、オフチップ駆動ブロックOCD1～OCD6の各々は外部基準抵抗器REXTと同一なインピーダンスを有する。例えば、240Ωの外部基準抵抗器REXTが使用される時、オフチップ駆動ブロックOCD1～OCD6の各々はインピーダンス制御コードに従って240Ωのインピーダンスを有する。6個のオフチップ駆動ブロックOCD1～OCD6が各パッドに並列連結されているので、各パッド（または各出力信号伝送ライン）は40Ωのインピーダンスを有するオフチップ駆動回路270によって駆動される。

【0048】

再び、図8を参照すると、終端回路290は、パッドPAD4または入力信号伝送ラインTL_IN10に並列連結された4個の終端ブロックODT1～ODT4を含む。終端ブロックODT1～ODT4の各々は、インピーダンス制御信号UPCにตอบสนองして入力信号伝送ラインTL_IN10を終端する。終端ブロックODT1～ODT4の各々は、図10に示したように連結された二進加重値トランジスタおよび二進加重値抵抗器で構成される。可変インピーダンスコード発生回路310について説明したように、基準電圧VREFとパッドPAD7の電圧が一致する時、可変インピーダンス回路315は外部基準抵抗器REXTと同一なインピーダンスを有する。インピーダンス制御コード信号UPC<6>～UPC<0>は、可変インピーダンス制御コード信号と同一であるので、終端ブロックODT1～ODT4の各々は外部基準抵抗器REXTと同一なインピーダンスを有する。例えば、240Ωの外部基準抵抗器REXTが使用される時、終端ブロックODT1～ODT4の各々はインピーダンス制御コードUPCに従って240Ωのインピーダンスを有する。4個の終端ブロックODT1～ODT4が各パッドに並列連結されているので、各パッド（または各入力信号伝送ライン）は60Ωのインピーダンスを有する終端回路290によって駆動される。

【0049】

図8に示した終端回路290は、図2の選択回路340から出力されるインピーダンス制御コードUPCによって制御されるように構成されている。しかし、終端回路290は、図11に示したように、選択回路340から出力されるインピーダンス制御コードUPC、DNCによって制御されるように構成されてもよい。本発明において、終端回路290がこれに極限されないことは、この分野の通常の知識を持つ者において自明である。入力信号伝送ラインTL_IN11～TL_IN31を終端するための図2の終端回路300は、図示しないが、図8、図10、および図11に示した構成と同一に構成されることは、この分野の通常の知識を持つ者において自明である。したがって、図2の終端回路300に対する説明は省略する。

【0050】

以下、本発明望ましい実施の形態の半導体メモリ装置の終端回路およびオフチップ駆動回路のインピーダンスを制御する動作が参照図面に基づいて詳細に説明される。

【0051】

固定インピーダンス制御コードUPCF、DNCFまたは可変インピーダンス制御コードUPCV、DNCVを選択するためにプログラムレジスタ330がプログラムされる。この実施の形態において、プログラムレジスタ330は、可変インピーダンス制御コードが選択されるようにプログラムされる。このような仮定によると、プログラムレジスタ330はローレベルのコード選択信号SELを発生する。これは選択回路340が可変インピーダンスコード発生回路310の出力UPCV、DNCVが選択されるようにする。可変インピーダンスコード発生回路310は、パッドPAD7に連結された外部基準抵抗器REXTのインピーダンスに従って変更される可変インピーダンス制御コードUPCV、DNCVを発生する。そのように発生された可変インピーダンス制御コードは、選択回路340を通じて終端回路300、290および駆動制御回路260に伝達される。終端回路340にはインピーダンス制御コードUPCのみが印加されてもよいし、インピーダンス制御コードUPC、DNCの双方が印加されてもよい。

【0052】

終端回路300は、インピーダンス制御コードUPCにตอบสนองして入力信号伝送ラインTL_IN11~TL_IN31を終結させる。終端回路290は、書き込み動作時に、インピーダンス制御コードUPCにตอบสนองして入力信号伝送ラインTL_IN10~TL_IN30を終端する。この時、終端回路290、300は同一なインピーダンスを有し、例えば、240Ωの外部基準抵抗器REXTがパッドPAD7に連結される時、終端回路290、300の各々は60Ωのインピーダンスを有する。なぜなら、先の説明のように、終端回路290、300の各々の4個の終端ブロックODT1~ODT4が対応するパッド（または入力信号伝送ライン）に並列連結され、最後ブロックODT1~ODT4の各々が外部基準抵抗器REXTと同一なインピーダンス（例えば、240Ω）を有するように同一なインピーダンス制御コードに制御されるためである。

【0053】

これと同時に、選択回路340によって選択されたインピーダンス制御コードUPC、DNCは、駆動制御回路260に伝達される。駆動制御回路260は、読み出し動作時に、感知増幅回路250からのデータDATA_OUTに従ってプルアップまたはプルダウン制御信号PUIまたはPDI（i=0~6）を発生し、プルアップまたはプルダウン制御信号は、インピーダンス制御コードUPC、DNCと同一なコード値を有する。240Ωの外部基準抵抗器REXTがパッドPAD7に連結される時、オフチップ駆動回路270は40Ωのインピーダンスを有する。なぜなら、先の説明のように、オフチップ駆動回路を構成する6個のオフチップ駆動ブロックOCD1~OCD6が対応するパッド（または出力信号伝送ライン）に並列連結され、オフチップ駆動ブロックOCD1~OCD6の各々が外部基準抵抗器REXTと同一なインピーダンス（例えば、240Ω）を有するように、同一なプルアップまたはプルダウン制御信号によって制御されるためである。

【0054】

読み出し動作時において、終端回路300およびオフチップ駆動回路270は、要求されるインピーダンスを有するように選択されたインピーダンス制御コードUPC、DNCによって同時に制御される。同様に、書き込み動作時において、終端回路290、300は、要求されるインピーダンスを有するように選択されたインピーダンス制御コードUPC、DNCによって制御される。すなわち、終端回路290、300のインピーダンスは、選択されたインピーダンス制御コードUPC、DNCによって変更されると同時にオフチップ駆動回路270のインピーダンスも選択された制御コードUPC、DNCによって制御される。結果的に、一つの外部基準抵抗器REXTおよび一つのインピーダンスコード発生器310、または320を利用して終端回路290、300のインピーダンスおよびオフチップ駆動回路270のインピーダンスを同時に調整することが可能である。

【0055】

図12は、図2に示したオフチップ駆動回路270および終端回路290の他の実施の形態を示すブロック図である。

【0056】

図8に示す構成例と異なって、図12に示したオフチップ駆動回路270'は、単一のオフチップ駆動ブロックOCD1を利用して実現され、オフチップ駆動回路270'のインピーダンスは、オフセット選択信号OFFSET0、OFFSET1に従って微細に調整され得る。さらに具体的に説明すれば、図13を参照すると、オフチップ駆動回路270'は、プルアップ部PULL_UPとプルダウン部PULL_DOWNで構成される。プルアップ部PULL_UPは、図面に示したように連結された二進加重値トランジスタ $64WP/N-1WP/N$ および二進加重値抵抗器 $1R/N-64R/N$ を含む。 40Ω のインピーダンスを有するオフチップ駆動回路270'を実現するために、二進加重値トランジスタ $64WP/N-1WP/N$ は、図8に示した二進加重値トランジスタを $1/N$ に線形的に縮小して形成されたことであり、二進加重値抵抗器 $1R/N-64R/N$ は、図8に示した二進加重値抵抗器を $1/N$ に線形的に縮小して形成されたことである。二進加重値トランジスタ $64WP/N-1WP/N$ は対応するプルアップ制御信号 $PU<6>\sim PU<0>$ によって各々制御され、その結果、 40Ω のインピーダンスを有するオフチップ駆動回路270'を通じてパッドPAD4が駆動される。

【0057】

プルアップ部PULL_UPは、図面に示したように連結されたオフセット抵抗器OFR1～OFR7およびオフセットトランジスタOFT1～OFT7をさらに含み、オフセットトランジスタOFT1～OFT7は、オフセット選択信号OFFSET1によって共通に制御される。オフセット選択信号OFFSET1が活性化されるか否かによってプルアップ部PULL_UPのインピーダンスが調整され得る。オフセットトランジスタOFT1～OFT7は、同一な値を有するように、または二進加重値を有するように実現され得る。同様に、オフセット抵抗器OFR1～OFR7は、同一な値を有するように、または二進加重値を有するように実現され得る。

【0058】

同様に、プルダウン部PULL_DOWNは、図面に示したように連結された二進加重値トランジスタ $64WN/N-1WN/N$ および二進加重値抵抗器 $1R/N-64R/N$ を含む。 60Ω のインピーダンスを有するオフチップ駆動回路270'を実現するために、二進加重値トランジスタ $64WN/N-1WN/N$ は、図8に示した二進加重値トランジスタを $1/N$ に線形的に縮小して形成され、二進加重値抵抗器 $1R/N-64R/N$ は、図8に示した二進加重値抵抗器を $1/N$ に線形的に縮小して形成される。二進加重値トランジスタ $64WN/N-1WN/N$ は、対応するプルダウン制御信号 $PD<6>\sim PD<0>$ によって各々制御され、 60Ω のインピーダンスを有するオフチップ駆動回路270'を通じてパッドPAD4が駆動される。

【0059】

プルダウン部PULL_DOWNは、図面に示したように連結されたオフセット抵抗器OFR8～OFR14およびオフセットトランジスタOFT8～OFT14をさらに含み、オフセットトランジスタOFT8～OFT14は、オフセット選択信号OFFSET2によって共通に制御される。オフセット選択信号OFFSET2が活性化されるか否かによってプルダウン部PULL_DOWNのインピーダンスが調整され得る。オフセットトランジスタOFT8～OFT14は、同一な値を有するように、または二進加重値を有するように実現され得る。同様に、オフセット抵抗器OFR8～OFR14は、同一な値を有するように、または二進加重値を有するように実現され得る。

【0060】

再び図12を参照すると、図8に示す構成と異なって、図12に示した終端回路290'は、単一の終端ブロックODT1を利用して実現され、終端回路290'のインピーダンスは、オフセット選択信号OFFSET1、OFFSET2に従って微細に調整され得る。さらに具体的に説明すれば、図14を参照すると、終端回路290'は、図面に示した

ように連結された二進加重値トランジスタ $64WP/N \sim 1WP/N$ および二進加重値抵抗器 $1R/N \sim 64R/N$ を含む。 40Ω のインピーダンスを有する終端回路 $290'$ を実現するために、二進加重値トランジスタ $64WP/N \sim 1WP/N$ は、図8に示した二進加重値トランジスタを $1/N$ に線形的に縮小して形成されであり、二進加重値抵抗器 $1R/N \sim 64R/N$ は、図8に示した二進加重値抵抗器を $1/N$ に線形的に縮小して形成される。二進加重値トランジスタ $64WP/N \sim 1WP/N$ は、対応するプルアップ制御信号 $PU<6>-PU<0>$ によって各々制御され、その結果、 60Ω のインピーダンスを有する終端回路 $290'$ を通じて入力信号伝送ライン TL_IN10 が終結される。

【0061】

終端回路 $290'$ は、図面に示したように連結されたオフセット抵抗器 $OFR15 \sim OFR21$ およびオフセットトランジスタ $OFT15 \sim OFT21$ をさらに含み、オフセットトランジスタ $OFT15 \sim OFT21$ は、オフセット選択信号 $OFTSET1$ によって共通に制御される。オフセット選択信号 $OFFSET1$ が活性化されるか否かに従って終端回路 $290'$ のインピーダンスが調整され得る。オフセットトランジスタ $OFT15 \sim OFT21$ は、同一な値を有するように、または二進加重値を有するように実現され得る。同様に、オフセット抵抗器 $OFR15 \sim OFR21$ は同一な値を有するように、または二進加重値を有するように実現され得る。

【0062】

図示しないが、図2に示した終端回路 300 も図14に示した構成と同一に実現され得る。

【0063】

以上では、本発明による回路の構成および動作を上述の説明および図面に従って図示したが、これは例をあげて説明したことに基づき、本発明の技術的思想および範囲を逸脱しない範囲内で多様な変化および変更が可能であることはもちろんである。

【図面の簡単な説明】

【0064】

【図1】本発明の望ましい実施の形態の半導体集積回路装置を示すブロック図である。

【図2】本発明の望ましい実施の形態の半導体メモリ装置を示すブロック図である。

【図3】図2に示した可変インピーダンスコード発生回路の1つの実施の形態を示す回路図である。

【図4A】図3に示した可変インピーダンス回路の1つの実施の形態を示す回路図である。

【図4B】図3に示した可変インピーダンス回路の1つの実施の形態を示す回路図である。

【図5】図2に示した固定インピーダンスコード発生回路の1つの実施の形態を示す回路図である。

【図6】図2に示した選択回路の1つの実施の形態を示すブロック図である。

【図7】図2に示した駆動制御回路の1つの実施の形態を示す回路図である。

【図8】図2に示したオフチップ駆動回路および終端回路の1つの実施の形態を示すブロック図である。

【図9】図8に示したオフチップ駆動ブロックの1つの実施の形態を示す回路図である。

【図10】図8に示した終端ブロックの1つの実施の形態を示す回路図である。

【図11】図8に示した終端ブロックの他の実施の形態を示す回路図である。

【図12】図2に示したオフチップ駆動回路および終端回路の他の実施の形態を示すブロック図である。

【図13】図12に示したオフチップ駆動回路の1つの実施の形態を示す回路図である。

【図14】図12に示した終端回路の1つの実施の形態を示す回路図である。

【符号の説明】

【0065】

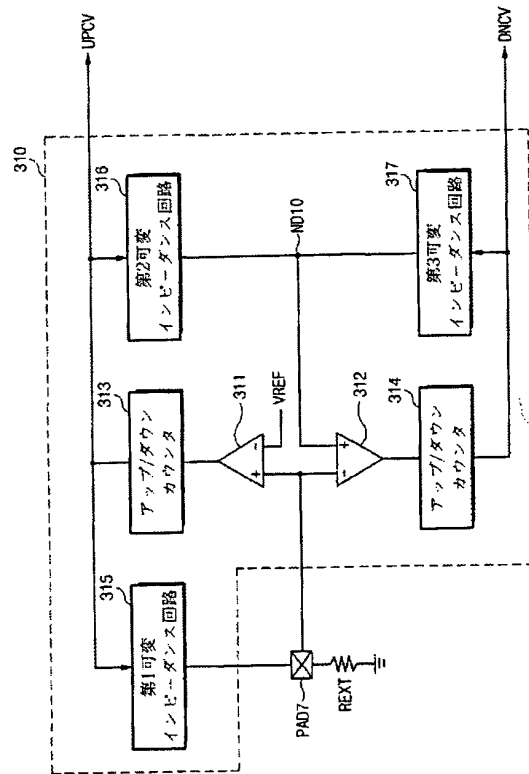
100 半導体集積回路装置

110 受信器

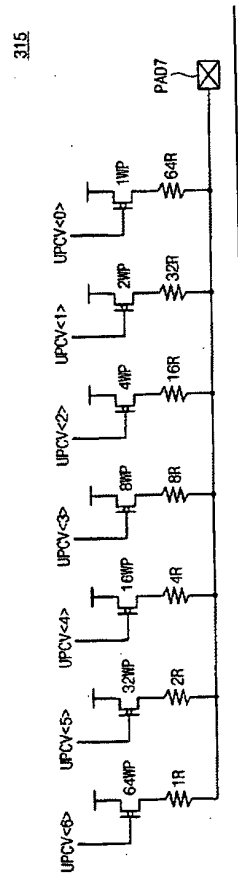
120 駆動器

[illegible]

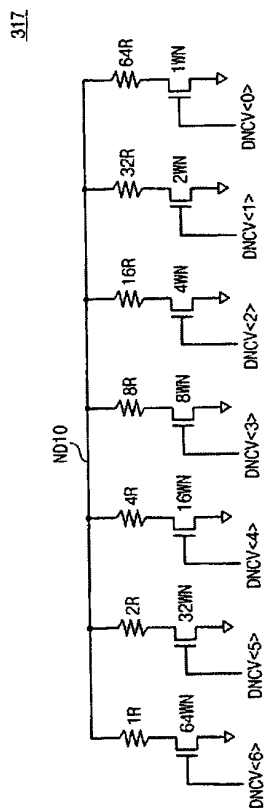
【図3】



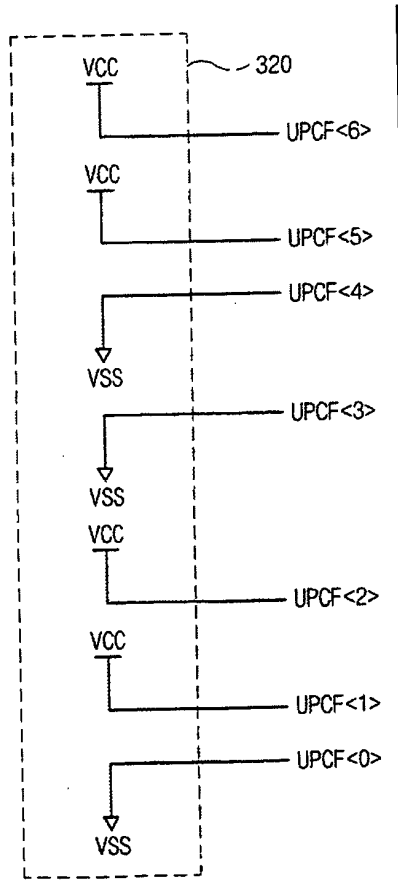
【図4A】



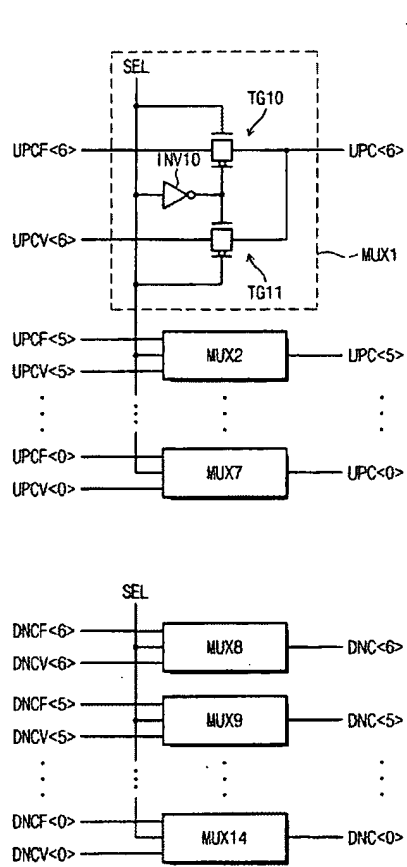
【図4B】



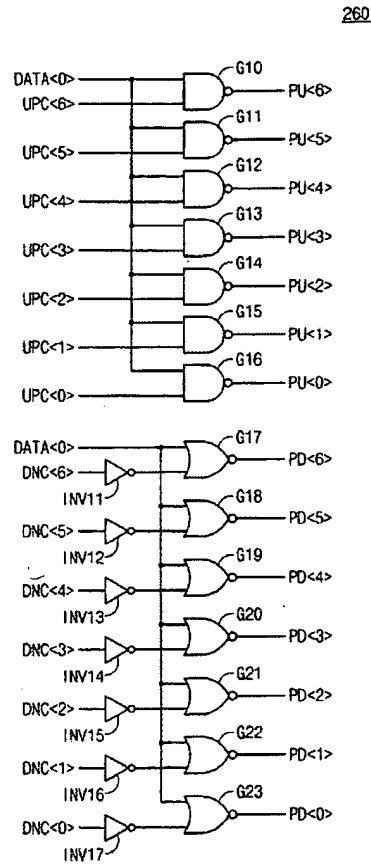
【図5】



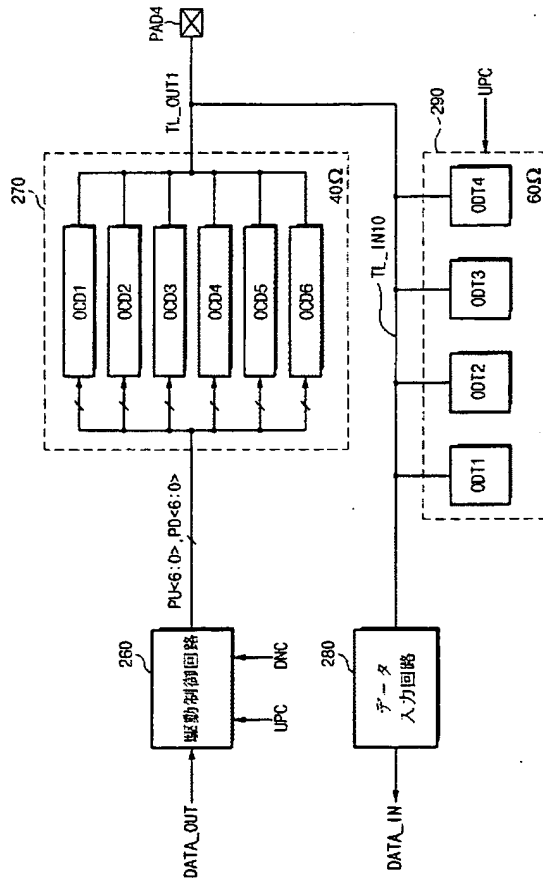
【図6】



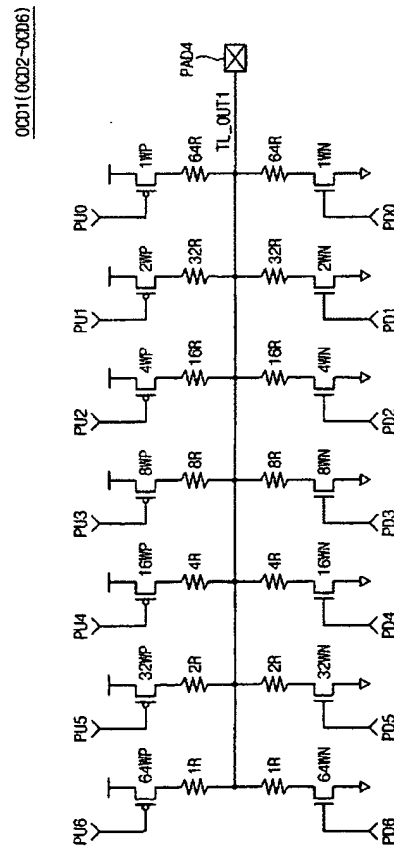
【図7】



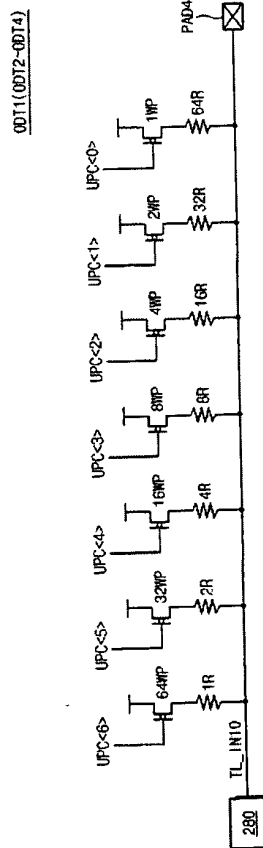
【図8】



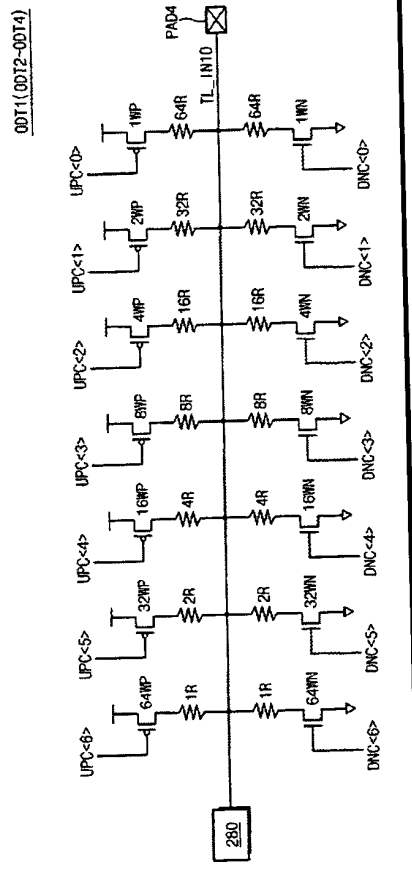
【図9】



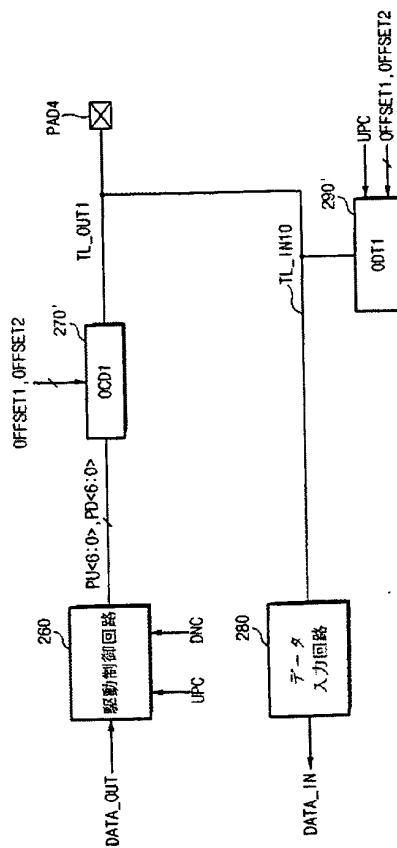
【図10】



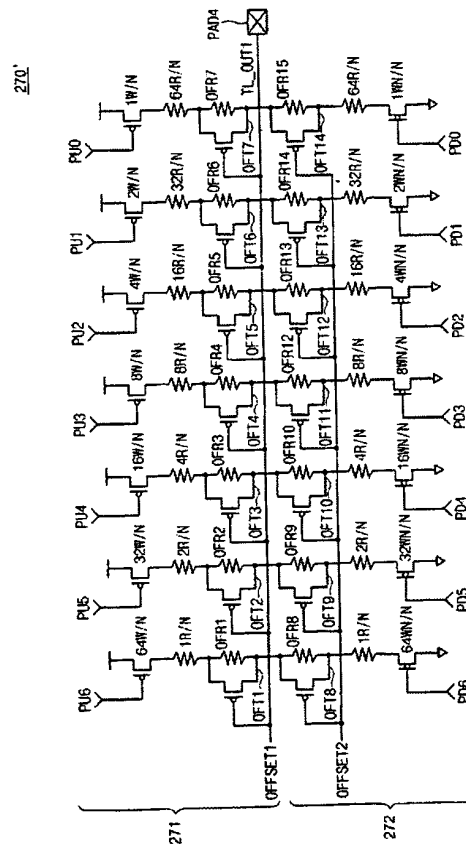
【图11】



【図12】



【図13】



F ターム(参考) 5J056 AA01 AA04 AA40 BB53 CC00 CC09 CC17 DD00 DD13 DD28
EE06 EE07 FF08 GG13 GG14
5M024 AA40 AA50 AA56 BB03 BB04 BB33 BB34 DD32 DD40 DD60
HH09 JJ03 LL19 PP01 PP02 PP03

~~THIS PAGE IS BLANK (USPTO)~~